

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/68

H01L 23/60

H02H 3/22

H02H 9/04



[12] 发明专利说明书

[21] ZL 专利号 02127692.7

[45] 授权公告日 2005 年 7 月 13 日

[11] 授权公告号 CN 1210807C

[22] 申请日 2002.8.7 [21] 申请号 02127692.7
[30] 优先权
[32] 2001.8.30 [33] US [31] 09/682,400
[71] 专利权人 联华电子股份有限公司
地址 台湾省新竹市
[72] 发明人 柯明道 陈东旻 唐天浩
审查员 史永良

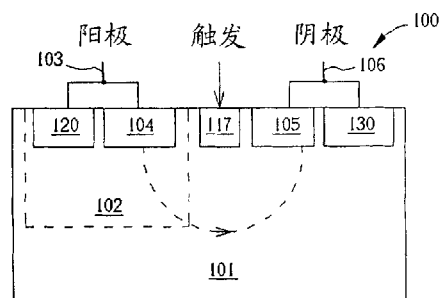
[74] 专利代理机构 北京三友知识产权代理有限公司
代理人 李 强

权利要求书 6 页 说明书 20 页 附图 24 页

[54] 发明名称 具有基体触发效应的硅可控整流器

[57] 摘要

本发明是提供一种基体触发硅可控整流器，形成于一 P 型衬底上，用来作为一静电放电保护组件，包含有一 N 阱设于该 P 型衬底中，一第一 N+ 扩散区域以及一第一 P+ 扩散区域，设于该 P 型衬底内并电连接于一阴极，一第二 N+ 扩散区域以及一第二 P+ 扩散区域，设于该 N 阱内并电连接于一阳极，且该第二 P+ 扩散区域、该 N 阱、该 P 型衬底以及该第一 N+ 扩散区域是构成一横向硅可控整流器，以及一触发点，用来接受一触发电流；其中当该触发电流经由该触发点流进该 P 型衬底时，会触发该横向硅可控整流器以使该横向硅可控整流器进入一锁定状态)，以用来排放静电放电电流。



I S S N 1 0 0 8 - 4 2 7 4

知识产权出版社出版

1. 一种P型衬底触发硅可控整流器，形成于一P型衬底上，包含有：
- N阱设于该P型衬底中；
- 第一N+扩散区域以及一第一P+扩散区域，设于该P型衬底内，用来当
- 5 作该P型衬底触发硅可控整流器的阴极；
- 第二N+扩散区域以及一第二P+扩散区域，设于该N阱内，用来当作该P型衬底触发硅可控整流器的阳极，且该第二P+扩散区域、该N阱、该P型衬底以及该第一N+扩散区域是构成一横向硅可控整流器；以及
- P型触发点，该P型触发点为一P+扩散区域，用来接受一触发电流；
- 10 其中当该触发电流经由该P型触发点流进时，会触发该横向硅可控整流器以使该横向硅可控整流器进入一锁定状态。
2. 根据权利要求1所述的P型衬底触发硅可控整流器，其特征在于：该P型衬底触发硅可控整流器是用来作为一静电放电保护组件。
3. 根据权利要求1所述的P型衬底触发硅可控整流器，其特征在于：该P
- 15 型触发点为一第三P+扩散区域，且该第三P+扩散区域是设于该第一N+扩散区域以及该第二P+扩散区域之间的该P型衬底内。
4. 根据权利要求1所述的P型衬底触发硅可控整流器，其特征在于：该P型触发点为一第三P+扩散区域，且该第三P+扩散区域横跨部分的该N阱以及该P型衬底，用来降低该横向硅可控整流器的击穿电压。
- 20 5. 根据权利要求4所述的P型衬底触发硅可控整流器，其特征在于：该第三P+扩散区域以及该第二P+扩散区域间的该N阱表面上另形成有一第一栅极，且该第三P+扩散区域以及该第一N+扩散区域间的该P型衬底表面上亦另形成有一第二栅极。
6. 根据权利要求5所述的P型衬底触发硅可控整流器，其特征在于：该第
- 25 一栅极以及该第二栅极是用来降低该P型衬底触发硅可控整流器的维持电压，以增快该P型衬底触发硅可控整流器的开启速度。

7. 一种N型衬底触发硅可控整流器，形成于一P型衬底上，包含有：

一N阱设于该P型衬底中；

一第一N+扩散区域及一第一P+扩散区域，设于该P型衬底内，用来当作该N型衬底触发硅可控整流器的阴极；

5 一第二N+扩散区域及一第二P+扩散区域，设于该N阱内，用来当作该N型衬底触发硅可控整流器的阳极，且该第二P+扩散区域、该N阱、该P型衬底以及该第一N+扩散区域构成一横向硅可控整流器；以及

一N型触发点，设于该第一N+扩散区域以及该第二P+扩散区域之间的该N阱内，用来流出一触发电流；

10 其中当该触发电流经由该N型触发点流出时，会触发该横向硅可控整流器以使该横向硅可控整流器进入一锁定状态。

8. 根据权利要求7所述的N型衬底触发硅可控整流器，其特征在于：该N型衬底触发硅可控整流器是用来作为一静电放电保护组件。

9. 一种横向N型衬底触发硅可控整流器，形成于一P型衬底上，包含有：

15 一N阱设于该P型衬底中；

一第一N+扩散区域及一第一P+扩散区域，设于该P型衬底内，用来当作该横向N型衬底触发硅可控整流器的阴极；

一第二N+扩散区域及一第二P+扩散区域，设于该N阱内，用来当作该横向N型衬底触发硅可控整流器的阳极，且该第二P+扩散区域、该N阱、该P型衬底以及该第一N+扩散区域是构成一横向硅可控整流器；

20 一第三N+扩散区域，设于该第一N+扩散区域以及该第二P+扩散区域之间的该N阱内，用来当作一触发点以接受一触发电流；以及

一第三P+扩散区域，且该第三P+扩散区域横跨部分的该N阱以及该P型衬底；

25 其中当该触发电流经由该触发点流出时，会触发该横向硅可控整流器以使该横向硅可控整流器进入一锁定状态。

10. 根据权利要求9所述的横向N型衬底触发硅可控整流器结构, 其特征在于: 该第三P+扩散区域是用来降低该横向硅可控整流器的击穿电压。

11. 一种双触发硅可控整流器, 形成于一P型衬底上, 该双触发硅可控整流器包含有:

5 一N阱设于该P型衬底中;

 一第一N+扩散区域及一第一P+扩散区域, 设于该P型衬底内, 用来当作该双触发硅可控整流器的阴极;

 一第二N+扩散区域及一第二P+扩散区域, 设于该N阱内, 用来当作该双触发硅可控整流器的阳极, 且该第二P+扩散区域、该N阱、该P型衬底以及该

10 第一N+扩散区域是构成一横向硅可控整流器;

 一第一触发点, 用来接受一第一触发电流; 以及

 一第二触发点, 用来流出一第二触发电流;

 其中当该第一触发电流经由该第一触发点流进时, 或该第二触发电流经由该第二触发点流出时, 会触发该横向硅可控整流器以使该横向硅可控整流器进入一锁定状态。

15 12. 根据权利要求11所述的双触发硅可控整流器, 其特征在于: 该第一触发点为一第三P+扩散区域, 且该第三P+扩散区域是设于该第一N+扩散区域以及该第二P+扩散区域之间的该P型衬底内, 而该第二触发点为一第三N+扩散区域, 且该第三N+扩散区域是设于该第一N+扩散区域以及该第二P+扩散区域之间的该N阱内。

 13. 根据权利要求12所述的双触发硅可控整流器, 其特征在于: 该第三N+扩散区域以及该第二P+扩散区域间的该N阱表面上另形成有一第一栅极, 且该第三P+扩散区域以及该第一N+扩散区域间的该P型衬底表面上亦另形成有一第二栅极。

25 14. 根据权利要求13所述的双触发硅可控整流器, 其特征在于: 该第一栅极以及该第二栅极是用来降低该双触发硅可控整流器的维持电压, 以增快

该双触发硅可控整流器的开启速度。

15. 根据权利要求11所述的双触发硅可控整流器，其特征在于：该第一触发点为一第三P+扩散区域，且该第三P+扩散区域是设于该第一N+扩散区域以及该第二P+扩散区域之间的该P型衬底内，而该第二触发点为一第三N+扩散区域，且该第三N+扩散区域横跨部分的该N阱以及该P型衬底，用来降低该横向硅可控整流器的击穿电压。

16. 根据权利要求15所述的双触发硅可控整流器，其特征在于：该第三N+扩散区域以及该第二P+扩散区域间的该N阱表面上另形成有一第一栅极，且该第三P+扩散区域以及该第一N+扩散区域间的该P型衬底表面上亦另形成有一第二栅极。

17. 根据权利要求16所述的双触发硅可控整流器，其特征在于：该第一栅极以及该第二栅极是用来降低该双触发硅可控整流器的维持电压，以增快该双触发硅可控整流器的开启速度。

18. 根据权利要求11所述的双触发硅可控整流器，其特征在于：该第一触发点为一第三P+扩散区域，且该第三P+扩散区域横跨部分的该N阱以及该P型衬底，用来降低该横向硅可控整流器的击穿电压，该第二触发点为一第三N+扩散区域，且该第三N+扩散区域是设于该第一N+扩散区域以及该第二P+扩散区域之间的该N阱内。

19. 根据权利要求18所述的双触发硅可控整流器，其特征在于：该第三N+扩散区域以及该第二P+扩散区域间的该N阱表面上另形成有一第一栅极，且该第三P+扩散区域以及该第一N+扩散区域间的该P型衬底表面上亦另形成有一第二栅极。

20. 根据权利要求19所述的双触发硅可控整流器，其特征在于：该第一栅极以及该第二栅极是用来降低该双触发硅可控整流器的维持电压，以增快该双触发硅可控整流器的开启速度。

21. 根据权利要求11所述的双触发硅可控整流器，其特征在于：该第三

N+扩散区域以及该第三P+扩散区域间另形成有一第三栅极。

22. 一种双触发硅可控整流器结构，具有快速衬底触发设计，形成于一P型衬底上，包含有：

—N阱设于该P型衬底中；

5 —第一N+扩散区域及一第一P+扩散区域，设于该P型衬底内，用来当作该双触发硅可控整流器的阴极；

—第二N+扩散区域及一第二P+扩散区域，设于该N阱内，用来当作该双触发硅可控整流器的阳极，且该第二P+扩散区域、该N阱、该P型衬底以及该第一N+扩散区域是构成一横向硅可控整流器；

10 —第一触发点，用来接受一第一触发电流；以及

—第二触发点，用来流出一第二触发电流；

其中当该第一触发电流经由该第一触发点流进时，或该第二触发电流经由该第二触发点流出时，会触发该横向硅可控整流器以使该横向硅可控整流器进入一锁定状态。

15 23. 根据权利要求22所述的双触发硅可控整流器R，其特征在于：该第一触发点为一第三P+扩散区域，且该第三P+扩散区域是设于该第一N+扩散区域以及该第二P+扩散区域之间的该N阱内，该第二触发点为一第三N+扩散区域，且该第三N+扩散区域是设于该第一N+扩散区域以及该第二P+扩散区域之间的该P型衬底内。

20 24. 根据权利要求23所述的双触发硅可控整流器，其特征在于：该第三P+扩散区域以及该第二P+扩散区域间的该N阱表面上另形成有一第一栅极，且该第三N+扩散区域以及该第一N+扩散区域间的该P型衬底表面上亦另形成有一第二栅极。

25 25. 根据权利要求24所述的双触发硅可控整流器，其特征在于：该第一栅极以及该第二栅极是用来降低该双触发硅可控整流器的维持电压，以增快该双触发硅可控整流器的开启速度。

26. 根据权利要求22所述的双触发硅可控整流器，其特征在于：该第一触发点为一第三N+扩散区域，且该第三N+扩散区域是设于该第一N+扩散区域以及该第二P+扩散区域之间的该P型衬底内，而该第二触发点为一第三P+扩散区域，且该第三P+扩散区域横跨部分的该N阱以及该P型衬底，用来降低该
5 横向硅可控整流器的击穿电压。

27. 根据权利要求26所述的双触发硅可控整流器，其特征在于：该第三P+扩散区域以及该第二P+扩散区域间的该N阱表面上另形成有一第一栅极，且该第三N+扩散区域以及该第一N+扩散区域间的该P型衬底表面上亦另形成有一第二栅极。

10 28. 根据权利要求27所述的双触发硅可控整流器，其特征在于：该第一栅极以及该第二栅极是用来降低该双触发硅可控整流器的维持电压，以增快该双触发硅可控整流器的开启速度。

29. 根据权利要求22所述的双触发硅可控整流器，其特征在于：该第一触发点为一第三N+扩散区域，且该第三N+扩散区域横跨部分的该N阱以及该P
15 型衬底，用来降低该横向硅可控整流器的击穿电压，该第二触发点为一第三P+扩散区域，且该第三P+扩散区域是设于该第一N+扩散区域以及该第二P+扩散区域之间的该N阱内。

30. 根据权利要求29所述的双触发硅可控整流器，其特征在于：该第三P+扩散区域以及该第二P+扩散区域间的该N阱表面上另形成有一第一栅极，
20 且该第三N+扩散区域以及该第一N+扩散区域间的该P型衬底表面上亦另形成有一第二栅极。

31. 根据权利要求30所述的双触发硅可控整流器，其特征在于：该第一栅极以及该第二栅极是用来降低该双触发硅可控整流器的维持电压，并用来增快该双触发硅可控整流器的开启速度。

25 32. 根据权利要求22所述的双触发硅可控整流器，其特征在于：该第三N+扩散区域以及该第三P+扩散区域间另形成有一第三栅极。

具有基体触发效应的硅可控整流器

5 技术领域

本发明是提供一种用来当作集成电路的静电放电防护组件的具有基体触发效应的硅可控整流器。

10 背景技术

随着半导体集成电路装置的尺寸持续缩小,利用先进深次微米技术来制造超大规模集成电路(VLSI)是现在的趋势,因此设计一静电放电防护电路(Electrostatic Discharge protection circuit, ESD protection circuit)以保护集成电路里的组件及电路免于静电放电(ESD)损害是相当重要的。商业化的集成电路产品通常要求ESD耐受强度在人体放电模式(Human-Body Model, HBM)下要高于2kV。为了负荷足够高的ESD应力(overstress),以及避免ESD保护电路占据太大的面积,有效的热消散便成了设计与布局上的重要考量。所以在芯片上建立具有特殊组件的ESD保护电路,该特殊组件不占用太大的布局面积(layout area)并具有低的保持电压(holding voltage)是相当重要的,因为ESD所引起的能量是等于该特殊组件的保持电压与该ESD电流的乘积($\text{Power} = I_{\text{ESD}} \times V_{\text{hold}}$)。

横向硅可控整流组件(lateral silicon control rectifier, LSCR)已被用于输出/输入ESD保护电路上,以有效地保护CMOS集成电路免于ESD损害。SCR的一非常重要特性是它具有低保持电压(holding voltage, V_{hold}),在CMOS制程上SCR的保持电压(V_{hold})约1伏特左右,因此ESD电流在SCR组件上所产生的

的能量小于其它在CMOS技术上如二极管、MOS晶体管、双载子晶体管 (BJT) 或场氧化组件等。例如, 在典型的0.5微米CMOS制程上, SCR的保持电压 (V_{hold}) 约1伏特左右, 但是NMOS组件的骤回崩溃保持电压 (snapback V_{hold}) 是10伏特, 所以在单一布局面积上SCR组件可承受比NMOS组件高约10倍的ESD电流。尽管

5 SCR组件已在一些输入ESD保护电路被当作主要的ESD防护组件 (clamp device), 它仍需要加入一个二级保护电路以达成全部的ESD保护功能, 这是因为在次微米CMOS技术上SCR组件通常具有较高的触发电压 (trigger voltage) (30-50伏特), 而该触发电压普遍大于输入端的栅极氧化层击穿电压 (gate-oxide breakdown voltage) (15-20伏特)。

10 美国专利案号第4,896,243号、第5,012,317号与第5,336,908号揭露应用横向硅可控整流器 (LSCR) 于输入ESD保护电路中, 请参考图1a到图1c, 图1a是先前技术中输入ESD保护电路示意图, 图1b是先前技术中LSCR组件的电流-电压特性 (I-V characteristic) 示意图, 图1c是先前技术中LSCR组件的组件结构示意图。如图1a所示, 输入ESD保护电路10包括一输入端11、一内

15 部电路12电连接于 V_{DD} 电压端 (V_{DD} power terminal) 与 V_{SS} 电压端 (V_{SS} power terminal)、一SCR组件14、一二级保护电路15以及一导线13电连接于输入端11及内部电路12。其中, SCR组件14另包含一P+扩散区域14a、一N阱14b、一P型衬底14c、一N+扩散区域14d位于输入端11与内部电路12之间且电连接于导线13以作为ESD保护, 而二级保护电路15则包含一串电阻16及一栅极接地

20 (gate-grounded) NMOS 17位于LSCR组件14与内部电路12之间。

如图1b所示, 在典型的0.35微米CMOS制程中, LSCR组件14有一显著较高的触发电压约35伏特, 而该触发电压普遍大于次微米CMOS集成电路输入端的栅极氧化层击穿电压 (15-20伏特), 所以在LSCR被触发来排放ESD电流的前, 便先利用二级保护电路15来箝制过高的ESD电压, 以免对内部电路12造成破

25 坏。

如图1c所示, LSCR组件14制作于一P型衬底21上。LSCR组件14包含有一N

阱22设于P型衬底21里，一P+扩散区域24设于N阱22里并电连接于输入端23，以及一接地的N+扩散区域25设于P型衬底21里。其中，P+扩散区域24、N阱22、P型衬底21及N+扩散区域25是形成一LSCR组件。当LSCR组件14被触发时，ESD电流会先流经P+扩散区域24、N阱22、P型衬底21，然后再流至N+扩散区域25而放电到地。

若LSCR组件14没有被及时地触发，则二级保护电路15会被ESD的能量所损害，因此，二级保护电路15便被设计具有一大组件面积及一串电阻来保护本身的电路，然而这样的电路设计通常占去较多的布局面积。此外，若二级保护电路15的设计不当，亦会造成ESD测试由低电压到高电压的失败窗口 (fail window)，即该保护电路可以通过高电压或低电压的ESD测试 (ESD stress)，但无法通过中电压的ESD测试 (ESD stress)。

因此为了提供更有效的ESD保护给予输入端，一种改良型横向SCR(modified lateral SCR, MLSCR)组件被提出用来降低横向SCR的触发电压。在美国专利案号第4,939,616号、第5,343,053号与第5,430,595号中，便揭露了这种应用于输入ESD保护电路的改良型横向硅可控整流器(MLSCR)。请参考图2a到图2c，图2a是先前技术中应用于ESD保护电路的MLSCR的示意图，图2b是先前技术中的MLSCR组件的电流-电压特性(I-V characteristic)示意图，图2c是先前技术中MLSCR组件的结构示意图。如图2a所示，输入ESD保护电路30包含一输入端31、一内部电路32电连接于VDD电源端与VSS电源端、一MLSCR组件34、一二级保护电路35以及一导线33电连接输入端31与内部电路32。其中，MLSCR组件34包含一P+扩散区域34a、一N阱34b、一P型衬底34c、及一N+扩散区域34d位于输入端31与内部电路32之间且电连接于导线33，插入一N+扩散区域34e横跨过N阱34b与P型衬底34c的界面(junction)。二级保护电路35包含一串电阻36及一栅极接地NMOS(gate-grounded NMOS) 37位于MLSCR组件34与内部电路32之间。因为N+扩散区域34e比N阱34b具有较高的掺杂浓度，其击穿电压(breakdown voltage)较低，使得在相同的CMOS

制程中MLSCR组件34的触发电压比LSCR的触发电压来得小。

如图2b所示，在典型的0.35微米CMOS制程中，MLSCR组件34的触发电压约为10伏特。如图2c所示，在一个标准的半导体制程中，MLSCR组件40结构是制造于一硅衬底41上。MLSCR组件40包含一N阱42设于P型衬底41里、一P+扩散区域44设于N阱42里并电连接于输入端43、一接地的N+扩散区域45设于P型衬底41里，以及一N+扩散区域46横跨N阱42与P型衬底41。其中，P+扩散区域44、N阱42、P型衬底41、N+扩散区域45及插入的N+扩散区域46形成一MLSCR组件。由于MLSCR组件34的触发电压被明显地减小，所以它可以与二级保护电路35配合以提供更安全的ESD保护给予输入电路的栅极。

10 为了有效地保护次微米CMOS集成电路里的输入端或输出缓冲级(output buffers)，另一种低电压触发(low-voltage-trigger)硅可控整流器(LVTSCR)组件已揭露于美国专利案号第5,465,189及第5,576,557号。请参考图3a到图3c，图3a是先前技术中应用LVTSCR组件在输出ESD保护电路的示意图，图3b是先前技术中的LVTSCR组件的电流-电压特性(I-V characteristic)示意图，
15 图3c是先前技术中的LVTSCR组件的组件结构示意图。如图3a所示，输出ESD保护电路50包含一输出端51、一内部电路52电连接于VDD电源端与VSS电源端、一LVTSCR组件54、一短信道NMOS(short channel NMOS)组件55以及一导线53电连接输出端51与内部电路52。其中，LVTSCR组件54包含一P+扩散区域54a、一N阱54b、一P型衬底54c、一N+扩散区域54d设于输出端51与内部电路
20 52之间并且电连接于导线53。短信道NMOS(short channel NMOS)组件55插入该LVTSCR组件的结构中，因而LVTSCR 54的触发电压相等于短信道NMOS组件55的瞬时击穿电压(snapback-trigger voltage)。

藉由适当的设计，LVTSCR组件54的触发电压可被减小至低于输出NMOS的击穿电压，如图3b所示，在典型的0.35微米CMOS制程中，LVTSCR组件54的触发电压约为8伏特左右，如图3c所示，在一个标准的半导体制程中，LVTSCR
25 组件60结构乃是制作于一P型衬底61上。LVTSCR组件60包含有一N阱62设于P

型衬底61里、一P+扩散区域64设于N阱62里并电连接于输出端63、一接地的N+扩散区域65设于P型衬底61里、以及一扩散区域66横跨N阱62与P型衬底61。其中，P+扩散区域64、N阱62、P型衬底61及N+扩散区域65形成一横向SCR组件，而一栅极67制作于N+扩散区域66与N+扩散区域65之间以完成短信道NMOS

5 组件的结构，横向SCR组件及插入的短信道NMOS组件组成一LVTSCR组件结构。由于LVTSCR组件60的触发电压非常低，所以它可以提供有效的ESD保护给予CMOS集成电路的输入端或输出缓冲级，而不需要二级保护电路。因此具有LVTSCR的ESD保护电路的所有布局面积可被有效地节省。虽然LVTSCR组件60的触发电压相当低，然而在ESD保护电路里设计一具有更低触发电压的组件

10 且同时不会增加集成电路制程的复杂度与困难度仍是需要的。

此外，为了有效地保护在非常深次微米CMOS集成电路 (very deep submicron CMOS IC's) 里较薄的闸氧化层，一种栅极耦合 (gate-couple technique) 技术被揭露于美国专利案号第5,400,202号及第5,528,188号中以应用于更进一步减少LVTSCR的触发电压。请参考图4，图4是先前技术中应

15 用于输入/输出ESD保护电路的栅极耦合LVTSCR组件的示意图。如图4所示，ESD保护电路设计70包含一由一P+扩散区域73、一N阱74、一P型衬底75及一N+扩散区域76所构成的横向SCR 72，一短信道NMOS组件77横跨N阱74与N+扩散区域76。其中，横向SCR 72及短信道NMOS组件77组成一LVTSCR组件78。短信道NMOS组件77的栅极79是由栅极驱动 (gate-biased) 电路所驱动，而该栅

20 极驱动电路则另包含一耦合电容81 (coupled capacitor) 连接从垫80到栅极79以及一电阻82连接从栅极79到VSS电源端。受ESD保护电路70所保护的内部电路84则电连接于VSS电源端及VDD电源端之间并以一导线83电连接于垫80，横向SCR 72的阳极电连接于导线83，而横向SCR72的阴极则电连接于VSS电源端。

25 由于上述的该栅极耦合LVTSCR的触发电压可藉由在短信道NMOS组件77栅极上的耦合作用而减少更多，所以可以更有效地保护在非常深次微米CMOS

集成电路(very deep submicron CMOS IC's)里输入端更薄的闸氧化层,但是过高的栅极耦合电压(over-high gate bias)也会造成ESD电流流经短信道NMOS组件77的表面信道的反转层,并且造成热消散问题而损害短信道NMOS组件77。

- 5 上述种种用来做ESD保护的SCR组件均具有一些缺点,而且这些缺点或多或少都造成在现代集成电路上的应用限制。

发明内容

- 10 因此,本发明提出一创新的SCR设计,利用基体触发(substrate-triggered)技术来更进一步降低SCR的触发电压,以及提升该SCR组件的导通速度,并尽可能节省ESD保护电路所占用的布局面积,同时避免前述电流流过表面信道及热消散问题,而且本发明所提出具基体触发效应的硅可控整流器组件不会增加CMOS集成电路制程的复杂度及困难度。
- 15 一种P型衬底触发硅可控整流器(P-type substrate-triggered silicon controlled rectifier, P-STSCR),该P-STSCR是形成于一P型衬底上,该P-STSCR包含有:一N阱(N-well)设于该P型衬底中;一第一N+扩散区域以及一第一P+扩散区域,设于该P型衬底内,用来当作该P-STSCR的阴极;一第二N+扩散区域以及一第二P+扩散区域,设于该N阱内,用来当作该P-STSCR的阳
- 20 极,且该第二P+扩散区域、该N阱、该P型衬底以及该第一N+扩散区域是构成一横向SCR(lateral SCR);以及一P型触发点(trigger node),该P型触发点为一P+扩散区域,用来接受一触发电流;其中当该触发电流经由该P型触发点流进时,会触发该横向SCR以使该横向SCR进入一锁定状态(latch state)。
- 25 一种N型衬底触发硅可控整流器(N-type substrate-triggered silicon controlled rectifier, N-STSCR),该N-STSCR是形成于一P型衬底上,该

N-STSCR包含有：一N阱(N-well)设于该P型衬底中；一第一N+扩散区域及一第一P+扩散区域，设于该P型衬底内，用来当作该N-STSCR的阴极；一第二N+扩散区域及一第二P+扩散区域，设于该N阱内，用来当作该N-STSCR的阳极，且该第二P+扩散区域、该N阱、该P型衬底以及该第一N+扩散区域构成一横向SCR；以及一N型触发点(trigger node)，设于该第一N+扩散区域以及该第二P+扩散区域之间的该N阱内，用来流出一触发电流；其中当该触发电流经由该N型触发点流出时，会触发该横向SCR以使该横向SCR进入一锁定状态(latch state)。

一种横向N型衬底触发硅可控整流器(N-STMLSCR)，该N-STMLSCR是形成于一P型衬底上，该N-STMLSCR结构包含有：一N阱(N-well)设于该P型衬底中；一第一N+扩散区域及一第一P+扩散区域，设于该P型衬底内，用来当作该N-STMLSCR的阴极；一第二N+扩散区域及一第二P+扩散区域，设于该N阱内，用来当作该N-STMLSCR的阳极，且该第二P+扩散区域、该N阱、该P型衬底以及该第一N+扩散区域是构成一横向SCR；一第三N+扩散区域，设于该第一N+扩散区域以及该第二P+扩散区域之间的该N阱内，用来当作一触发点(trigger node)以接受一触发电流；以及一第三P+扩散区域，且该第三P+扩散区域横跨部分的该N阱以及该P型衬底；其中当该触发电流经由该触发点流出时，会触发该横向SCR以使该横向SCR进入一锁定状态(latch state)。

一种双触发硅可控整流器(double-triggered silicon controlled rectifier, DT-SCR)，该DT-SCR是形成于一P型衬底上，该DT-SCR包含有：一N阱(N-well)设于该P型衬底中；一第一N+扩散区域及一第一P+扩散区域，设于该P型衬底内，用来当作该DT-SCR的阴极；一第二N+扩散区域及一第二P+扩散区域，设于该N阱内，用来当作该DT-SCR的阳极，且该第二P+扩散区域、该N阱、该P型衬底以及该第一N+扩散区域是构成一横向SCR；一第一触发点(trigger node)，用来接受一第一触发电流；以及一第二触发点(trigger node)，用来流出一第二触发电流；其中当该第一触发电流经由该第一触发

点流进时，或该第二触发电流经由该第二触发点流出时，会触发该横向SCR以使该横向SCR进入一锁定状态(latch state)。

一种双触发硅可控整流器(DT-SCR)结构具有快速衬底触发设计，该DT-SCR是形成于一P型衬底上，该DT-SCR包含有：一N阱(N-well)设于该P型衬底中；一第一N+扩散区域及一第一P+扩散区域，设于该P型衬底内，用来当作该DT-SCR的阴极；一第二N+扩散区域及一第二P+扩散区域，设于该N阱内，用来当作该DT-SCR的阳极，且该第二P+扩散区域、该N阱、该P型衬底以及该第一N+扩散区域是构成一横向SCR；一第一触发点(trigger node)，用来接受一第一触发电流；以及一第二触发点(trigger node)，用来流出一第二触发电流；其中当该第一触发电流经由该第一触发点流进时，或该第二触发电流经由该第二触发点流出时，会触发该横向SCR以使该横向SCR进入一锁定状态(latch state)。

附图说明

15

图1a是先前技术中应用LSCR组件于输入ESD保护电路的示意图；

图1b是先前技术中LSCR组件的电流-电压特性(I-V characteristic)示意图；

图1c是先前技术中LSCR组件的组件结构示意图；

20 图2a是先前技术中应用MLSCR组件于ESD保护电路的示意图；

图2b是先前技术中的MLSCR组件的电流-电压特性(I-V characteristic)示意图；

图2c是先前技术中MLSCR组件的组件结构示意图；

图3a是先前技术中应用LVTSCR组件在输出ESD保护电路的示意图；

25 图3b是先前技术中的LVTSCR组件的电流-电压特性(I-V characteristic)示意图；

图3c是先前技术中的LVTSCR组件的组件结构示意图;

图4是先前技术中应用栅极耦合LVTSCR组件于输入/输出ESD保护电路的示意图;

图5a是本发明中P型衬底触发SCR (P-STSCR) 组件结构的剖面示意图;

5 图5b是图5a的P-STSCR组件的相对应符号图;

图6a是本发明中用来量测P-STSCR组件的电流-电压特性 (I-V characteristic) 的实验设置示意图;

图6b是本发明中的P-STSCR组件的电流-电压特性量测结果;

图7是P-STSCR的衬底触发电流与导通电压的关系图;

10 图8a是本发明中的P型衬底触发SCR组件结构的另一种设计的剖面示意图;

图8b是P-STSCR组件的另一种设计的相对应符号图;

图9a是本发明中用来量测P-STMLSCR组件的电流-电压特性 (I-V characteristic) 的实验装置示意图;

15 图9b是本发明中的P-STMLSCR组件的电流-电压特性量测结果图;

图10是P-STMLSCR组件的导通电压与衬底触发电流的关系图;

图11a是本发明中具有缩小组件尺寸的P型衬底触发SCR组件结构的剖面示意图;

20 图11b是本发明中具有缩小组件尺寸的P型衬底触发SCR组件结构的相对应符号图;

图12a是本发明中的N型衬底触发SCR组件结构的剖面示意图;

图12b是本发明中N型衬底触发SCR组件结构的相对应符号图;

图13a是本发明中另一种N-STSCR组件结构的剖面示意图;

图13b是本发明中另一种N-STSCR组件结构的相对应符号图;

25 图14a是本发明中具有缩小布局距离的N-STSCR组件结构的剖面示意图;

图14b是本发明中具有缩小布局距离的N-STSCR组件结构的相对应符号

图;

图15a是本发明中双触发SCR组件的剖面示意图;

图15b是本发明中双触发SCR组件的相对应符号图;

图16a本发明中的另一种DT-SCR组件结构的剖面示意图;

5 图16b是本发明中的另一种DT-SCR组件结构的相对应符号图;

图17a是本发明中的再一种DT-SCR组件结构的剖面示意图;

图17b是本发明中的再一种DT-SCR组件结构的相对应符号图;

图18是具有多晶硅栅极以取代场氧化层的P-STSCR组件的示意图;

图19是具有多晶硅栅极以取代场氧化区域的N-STSCR组件的示意图;

10 图20到图22是具有多晶硅栅极以取代场氧化层区域的DT-SCR组件结构的示意图;

图23到图25是具有多晶硅栅极以取代场氧化层区域的另一种DT-SCR组件的示意图;

15 图26到图28是具有两多晶硅栅极以取代场氧化层区域的DT-SCR组件的示意图。

图号说明:

10、输入ESD保护电路	11、输入端
12、内部电路	13、导线
14、SCR组件	14a、P+扩散区域
20 14b、N阱	14c、P型衬底
14d、N+扩散区域	15、二级保护电路
16、电阻	17、栅极接地NMOS
20、硅衬底	21、P型衬底
22、N阱	23、输入端
25 24、P+扩散区域	25、N+扩散区域
30、输入ESD保护电路	31、输入端

	32、内部电路	33、导线
	34、MLSCR组件	34a、P+扩散区域
	34b、N阱	34c、P型衬底
	34d、N+扩散区域	34e、N+扩散区域
5	35、二次保护电路	36、电阻
	37、栅极接地NMOS	40、硅衬底
	41、P型衬底	42、N阱
	43、输入端	44、P+扩散区域
	45、N+扩散区域	46、N+扩散区域
10	50、输出ESD保护电路	51、输出端
	52、内部电路	53、导线
	54、LVTSCR组件	54a、P+扩散区域
	54b、N阱	54c、P型衬底
	54d、N+扩散区域	55、短信道NMOS
15	60、硅衬底	
	61、P型衬底	62、N阱
	63、输出端	64、P+扩散区域
	65、N+扩散区域	66、扩散区域
	67、栅极	70、ESD保护电路设计
20	72、横向SCR	73、P+扩散区域
	74、N阱	75、P型衬底
	76、N+扩散区域	77、短信道NMOS
	78、LVTSCR组件	79、栅极
	80、垫	81、耦合电容
25	82、电阻	83、导线
	84、内部电路	100、P型衬底触发SCR

	101、P硅衬底	102、N阱
	103、阳极	104、P+扩散区域
	105、N+扩散区域	106、阴极
	110、P-STSCR	117、P+扩散区域
5	200、P型衬底触发SCR	201、P型衬底
	202、N阱	208、P+扩散区域
	209、N+扩散区域	219、阳极
	220、阴极	
	300、具有缩小组件尺寸的P型衬底触发SCR组件	
10	301、P型衬底	302、N阱
	308、P+扩散区域	400、N型衬底触发SCR
	402、N阱	408、N+扩散区域
	500、另一种N-STSCR	501、P型衬底
	502、N阱	508、N+扩散区域
15	509、P+扩散区域	
	600、具有缩小布局距离的N-STSCR	601、P型衬底
	602、N阱	608、N+扩散区域
	700、双触发SCR (DT-SCR)	701、P型衬底
	702、N阱	708、N+扩散触发点
20	709、P+扩散区域	720、另一种DT-SCR
	721、P型衬底	722、N阱
	728、N+扩散区域	729、P+扩散区域
	740、另一种DT-SCR	741、P型衬底
	742、N阱	748、N+扩散触发点
25	749、P+扩散触发点	
	800、具有多晶硅栅极以取代场氧化层的P-STSCR	

	803、阳极	806、阴极
	812、栅极	814、栅极
	850、具有多晶硅栅极以取代场氧化区域的N-STSCR	
	853、阳极	856、阴极
5	862、栅极	864、栅极
	900、具有多晶硅栅极以取代场氧化层区域的DT-SCR	
	901、P型衬底	902、N阱
	903、阳极	906、阴极
	908、N+扩散触发点	909、P+扩散触发点
10	912、栅极	914、栅极
	916、栅极	
	920、具有多晶硅栅极以取代场氧化层区域的修饰DT-SCR	
	921、P型衬底	922、N阱
	923、阳极	926、阴极
15	928、P+扩散触发点	929、N+扩散触发点
	932、栅极	934、栅极G2
	940、具有两多晶硅栅极以取代场氧化层区域的DT-SCR	
	941、P型衬底	942、N阱
	943、阳极	946、阴极
20	948、P+扩散触发点	949、N+扩散触发点
	952、栅极	954、栅极

具体实施方式

25 请参考图5a到图5b，图5a是本发明中P型衬底触发SCR (P-STSCR) 组件100结构的剖面示意图，图5b是图5a的P-STSCR组件100的相对应符号的示意图。

如图5a所示, P-STSCR组件100结构是制作于一P型硅衬底101上。P-STSCR组件100包含一N阱102、一P+扩散区域104与一N+扩散区域120设于N阱102里用来当作P-STSCR组件100的阳极103、一P+扩散区域130与一N+扩散区域105设于P型衬底101里用来当作P-STSCR组件100的阴极106, 以及一P+扩散区域117, 用来当作P-STSCR组件100的触发点(trigger node)。其中, P+扩散区域104、N阱102、P型衬底101及N+扩散区域105是组成一LSCR组件。当一电流由触发点(P+扩散区域117)流进P型衬底101时, 横向SCR将被触发而进入它的锁定状态(latch state), 以提供一低阻抗路径而将ESD电流由阳极103导到阴极106。图5b中所示的阳极103是以一指向组件的箭头符号标示的, 但阴极106并没有箭头符号标示。

请参考图6a及图6b, 图6a是本发明中用来量测P-STSCR组件的电流-电压特性(I-V characteristic)的实验设置示意图, 图6b是本发明中的P-STSCR组件的电流-电压特性量测结果。该P-STSCR组件是利用0.35微米CMOS制程技术已实际制造出来的组件。如图6a所示, 一外加电压施加于阳极103与阴极106之间, 另一电流由触发点(P+扩散区域117)流进P型衬底101, 以触发该SCR组件进入锁定状态。如图6b所示, 施于触发点的触发电流具有一毫安(mA)的阶梯(step)电流, 当P-STSCR组件没有衬底触发电流($I_{bias}=0$)时, P-STSCR藉由它的阱/衬底结击穿(well/substrate junction breakdown)而导通, 也就是说, 当衬底触发电流为零时, P-STSCR组件的导通电压(switching voltage)高至35伏特。但当衬底触发电流为5毫安时, P-STSCR组件的导通电压则降低为7.4伏特。此外, 当衬底触发电流为7毫安时, P-STSCR组件的导通电压降低至只有1.35伏特。

请参考图7, 图7是P-STSCR的衬底触发电流与导通电压的关系图, 在P-STSCR组件里越高的衬底触发电流造成一更低的导通电压。由于P-STSCR组件可具有较低的导通电压, 该P-STSCR组件具有更快的开启速度(turn-on speed), 这是P-STSCR组件相当优异的特性以应用在ESD防护电路上。

请参考图8a到图8b, 图8a是本发明中的P型衬底触发SCR组件200结构的另一种设计的剖面示意图, 图8b是另一种P-STSCR组件200的相对对应符号图, 以下的P型衬底触发SCR (P-STSCR) 组件的另一种设计称为P-STMLSCR组件。如图8a所示, P-STMLSCR组件200包含有一第一N+扩散区域及一第一P+扩散区域
5 设于P型衬底201内并电连接于一阴极220、一第二N+扩散区域及一第二P+扩散区域设于N阱202内并电连接于一阳极219、一N+扩散区域209横跨N阱202与P型衬底201接口以降低横向SCR组件的击穿电压, 以及一用来当作为P-STMLSCR组件200的触发点(trigger node)的P+扩散区域208。

请参考图9a及图9b, 图9a是本发明中用来量测P-STMLSCR组件200的电流-电压特性(I-V characteristic)的实验装置示意图, 图9b是本发明中的P-STMLSCR组件200的电流-电压特性量测结果。如图9a所示, 当一外加电压施加于阳极219与阴极220之间, 一偏压所造成的电流(I_{bias})会经由触发点(P+扩散区域208)流进P型衬底201, 以触发并导通该P-STMLSCR组件。如图9b所示, 施加进触发点的触发电流为一2毫安的阶梯电流。当P-STMLSCR组件200
15 没有衬底触发电流($I_{bias}=0$)时, P-STMLSCR藉由它的阱/衬底结击穿(well/substrate junction breakdown)而导通, 也就是说, 当衬底触发电流为零时, P-STMLSCR组件的导通电压(switching voltage)为10伏特。但当衬底触发电流为10毫安时, P-STMLSCR组件的导通电压则降低为4.1伏特。此外, 当衬底触发电流为14毫安时, P-STMLSCR组件的导通电压则降低至只有
20 1.1伏特。

请参考图10, 图10是P-STMLSCR组件的导通电压与衬底触发电流的关系示意图, 在P-STMLSCR组件中越高的衬底触发电流造成一更低的导通电压。由于在P-STMLSCR组件可具有较低的导通电压, P-STMLSCR组件具有更快的开启速度, 可被用来更快速地排放ESD电流。

25 此外, 为了更进一步在芯片上缩小从SCR组件的阳极到阴极之间的距离, 本发明亦可将触发点(P+扩散区域)形成于横跨N阱与P型衬底间的界面上。

请参考图11a到图11b，图11a是本发明中具有缩小组件尺寸的P型衬底触发SCR组件300结构的剖面示意图，图11b是本发明中具有缩小组件尺寸的P型衬底触发SCR组件300结构的相对应符号图。如图11a所示，P+扩散区域308是横跨N阱302与P型衬底301之间的界面以作为触发点，因此横向SCR组件可被触
5 发以提供一低阻抗路径在它的阳极与阴极之间，此特性对ESD防护而言相当有用。

相较于P-STSCR利用触发电流流进P型衬底以开启横向SCR组件，SCR组件也可以藉由一触发电流从SCR组件的P型衬底401的N阱流出而被开启。这个设计在本发明中称为N型衬底触发SCR (N-STSCR) 组件。请参考图12a到图12b，
10 图12a是本发明中的N型衬底触发SCR组件400结构的剖面示意图，图12b是本发明中N型衬底触发SCR组件400结构的相对应符号图。如图12a所示，当一触发电流由触发点（N阱402中的N+扩散区域408）流出，横向SCR可被触发进入至它的锁定状态(latch state)，以提供一低阻抗路径而来排放ESD电流。

请参考图13a到图13b，图13a是本发明的N-STMLSCR组件500结构的剖面示意图，图13b是本发明的N-STMLSCR组件500结构的相对应符号图。如图13a
15 所示，N-STMLSCR组件500另包含有一N+扩散区域508设于N阱502表面，用来当作一触发点，以及一P+扩散区域509横跨N阱502与P型衬底501之间的界面以更进一步地降低SCR组件的击穿电压。

而N-STSCR组件结构的阳极到阴极的布局距离亦可被进一步地缩小。请参考图14a到图14b，图14a是本发明中具有缩小布局距离的N-STSCR组件600
20 结构的剖面示意图，图14b是本发明中具有缩小布局距离的N-STSCR组件600结构的相对应符号图。如图14a所示，用来作为触发点的N+扩散区域608是直接横跨N阱602与P型衬底601之间的界面。

在本发明的其它实施例中，藉由在P型衬底的触发电流或在N阱的触发电
25 流以触发SCR组件的概念可更进一步结合成双触发SCR (DT-SCR) 组件。请参考图15a到图15b，图15a是本发明中双触发SCR组件700的剖面示意图，图15b

是本发明中双触发SCR组件的相对对应符号图。如图15a所示，在DT-SCR组件中700结构中同时具有一N+扩散区域708的触发点设于N阱702中，以及一P+扩散区域709的触发点设于P型衬底701中。由于同时具有触发电流流进P型衬底701及触发电流从N阱流出，因此DT-SCR具有一更快的开启速度以触发进入它的锁定状态。这点在排放快速瞬变的ESD (fast transient ESD) 电流相当有用。在人体放电模式 (HBM) ESD情况下，瞬间ESD电流的上升时间 (rise time) 大约只有10ns。因此，SCR组件要具有足够快的导通速度，才能够实时地排放ESD电流，避免被保护的内部电路受到ESD的破坏。

请参考图16a到图16b，图16a本发明中的另一种DT-SCR组件720结构的剖面示意图，图16b是本发明中的另一种DT-SCR组件720结构的相对对应符号图。如图16a所示，用来当作触发点的N+扩散区域728是横跨N阱722及P型衬底721的界面，故相较于图15a所示的双触发SCR组件700而言，此另一种DT-SCR组件720在SCR组件里具有较低的界面击穿电压 (junction breakdown voltage)。

请参考图17a到图17b，图17a是本发明的再一种DT-SCR组件740结构的剖面示意图，图17b是本发明中的再一种DT-SCR组件740结构的相对对应符号图。如图17a所示，用来当作触发点的P+扩散区域749乃是横跨N阱742及P型衬底741之间，相较于图15a所示的双触发SCR组件700而言，此DT-SCR组件740在SCR组件里具有较低的界面击穿电压。

由于在非常深次微米CMOS制程中，N+/P+扩散层有一较浅的接面深度 (junction depth) 约距离硅表面0.15到0.2微米，但用来隔离相邻各扩散区域的场氧化层区域的深度距离硅表面约0.4到0.5微米，因此在0.25微米以下的CMOS制程 (如0.18微米CMOS制程，场氧化层是以浅沟隔离 (shallow trench-isolation, STI) 方法所形成)，通常具有较深的场氧化层深度以更有效地隔离两相邻的扩散区域。也就是说，这样一较深的场氧化层区域可提供CMOS集成电路一较佳的隔离 (isolation) 效果，因此在这种STI的CMOS制程

的横向SCR组件结构具有一较高的保持电压及更慢的开启速度，此乃因为在SCR组件结构中的寄生横向n-p-n双载子晶体管 (parasitic lateral n-p-n BJT) 的 β 增益被降低的缘故，所以若SCR组件结构具有较深的场氧化层区域，则横向SCR组件在ESD防护上的效果会降低。

- 5 本发明的第三个较佳实施例中，另一种设计被揭露以更进一步加快衬底触发SCR组件的开启速度，而衬底触发SCR组件的各扩散区域间在非常深次微米CMOS制程中不具有较深的场氧化层或先进STI场氧化层。请参考图18，图18是具有多晶硅栅极以取代场氧化层的P-STSCR组件800的示意图，如图18所示，原本位于SCR组件的阳极803与阴极806之间的SCR路径上的场氧化层区域
- 10 已被特别设计的栅极 812与栅极 814所取代。因此在图18所示的P-STSCR组件800中的SCR路径上没有场氧化层区域存在。由于加入这些栅极，原本较深的场氧化层区域被多晶硅栅极所取代，因此衬底触发组件的开启速度便不会因为具有STI或较深的场氧化层区域的先进CMOS制程而降低。同样的，类似的修饰设计亦可被应用在N型衬底触发SCR (N-STSCR) 组件。请参考图19，图
- 15 19是具有多晶硅栅极以取代场氧化区域的N-STSCR组件850的示意图，如图19所示，额外的栅极862与栅极864被用来避免场氧化层区域沿着从阳极853到阴极856的SCR路径上的形成。

这样的设计概念也可以被用在双重触发SCR组件上以取代场氧化层区域沿着从阳极到阴极的SCR路径的生长。请参考图20到图22，图20至图22是以

20 多晶硅栅极取代场氧化层区域的DT-SCR组件900结构的示意图。如图20到图22所示，三个额外的栅极912、914及916被用来避免场氧化层区域沿着从阳极903到阴极906的SCR路径的形成。在图20到图22所示的三个设计中唯一的差别是插入的N+扩散触发点908及P+扩散触发点909的位置不同。

在图20中，N+扩散触发点908设于N阱902里及P+扩散触发点909位在P型

25 衬底901里。在图21中，N+扩散触发点908横跨在N阱902及P型衬底901之间的界面，而P+扩散触发点909位在P型衬底901里，在图22中，N+扩散触发点908

位在N阱902里，而P+扩散触发点909横跨N阱902及P型衬底901之间的界面。

请参考图23到图25，图23到图25是以多晶硅栅极取代场氧化层区域的另一种DT-SCR组件920的示意图，在该另一种DT-SCR组件结构里，N阱922里的触发点是由P+扩散区域928所形成，而P型衬底921里的触发点是由N+扩散区域929所形成。横向组件可被开启藉由从插入的P+扩散区域928流进N阱922的触发电流或藉由从P型衬底921流出插入的N+扩散区域929的触发电流。特别设计的触发电路会产生电流流进N阱922或流出P型衬底921中，因此触发SCR组件进入它的锁定状态(latch state)。这三个设计的唯一差别是插入的P+扩散触发点928及N+扩散触发点929的所在位置不同。在图23中，P+扩散触发点928位在N阱922里及N+扩散触发点929位在P型衬底921里。在图24中，P+扩散触发点928横跨N阱922及P型衬底921之间的界面，而N+扩散触发点929位在P型衬底921里。在图25中，P+扩散触发点928位在N阱922里，而N+扩散触发点929横跨N阱922及P型衬底921之间的界面。

请参考图26到图28，图26到图28是以两多晶硅栅极取代场氧化层区域的DT-SCR组件940的示意图。若制程受限于在DT-SCR组件940结构的N+扩散触发点949及P+扩散触发点948之间无法形成栅极，一种只有两个栅极952与954的改良设计亦可被用在取代场氧化层区域从阴极943到阳极946的生长。这三种设计唯一的差别是插入的P+扩散触发点948与N+扩散触发点949的所在位置不同。在图26中，P+扩散触发点948位在N阱942里，而N+扩散触发点949位在P型衬底941里。在图27中，P+扩散触发点948横跨N阱942及P型衬底941之间的接口，而N+扩散触发点949位在P型衬底941里。在图28中，P+扩散触发点948位在N阱942里，而N+扩散触发点949横跨N阱942与P型衬底941之间的界面。

上述的本发明中所显示的各种组件实施例皆能完整的实现于现行的具有N阱与P型衬底的一般CMOS制程中。同样的，本发明亦可用在具有双阱(twin-well)制程的CMOS制程，不论是P型衬底或N型衬底。此外，本发明也

可实施于具有P阱及N型衬底的CMOS制程。

总而言之，本发明用以制作一具有基体触发效应的SCR组件结构，该组件利用一衬底触发电流 I_{trig} 经由触发点流进或流出P型衬底来将横向SCR被触发至它的锁定状态，以造成一相对于习知SCR组件较低的导通电压。由于本
5 发明的SCR组件有一较低的导通电压，故本发明的SCR组件具有更快速的开启速度来排放ESD电流。此外，流经表面信道的ESD电流及热消散问题可被避免，而且本发明所提出的具有基体触发效应的SCR组件不会增加在CMOS集成电路中的制造复杂度及困难度。

相对于先前技术，本发明利用衬底触发电流 I_{trig} 经由插入的触发点流进
10 或流出N型阱或P型衬底，因而促使SCR组件可在更低的电压下即可被触发导通。由于本发明的SCR组件均具有一较低的导通电压，本发明的具有基体触发效应的SCR组件可被快速地导通来排放ESD电流，因此应用本发明所设计的ESD保护电路的全部布局面积可被大幅缩减。

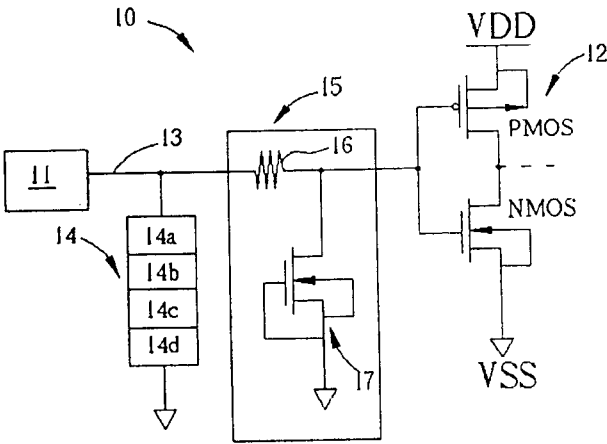


图 1a

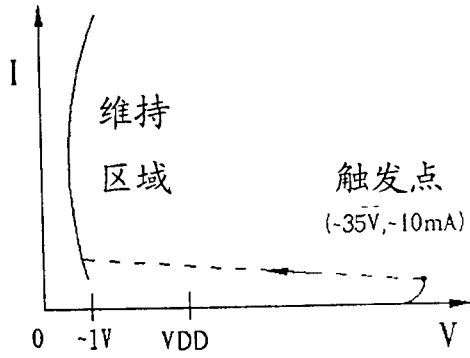


图 1b

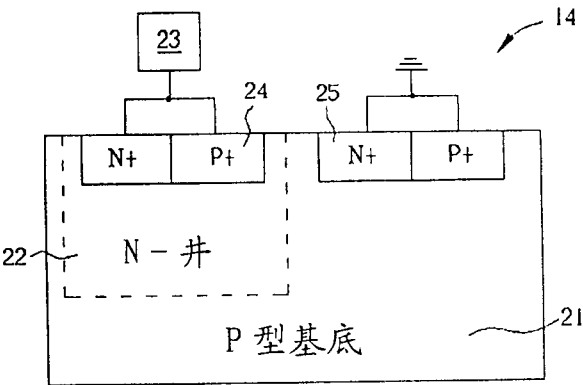


图 1c

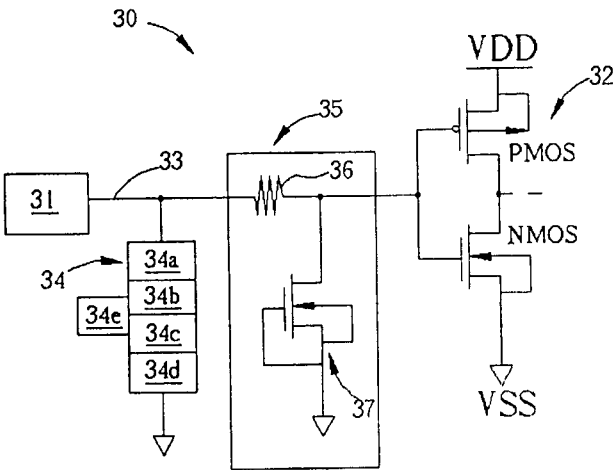


图 2a

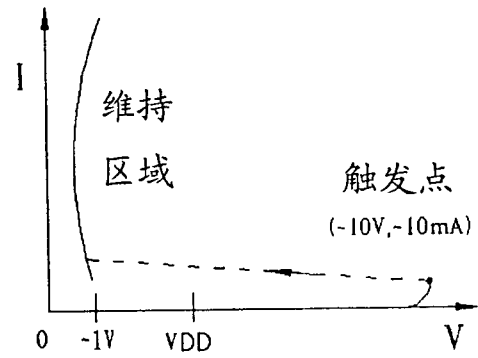


图 2b

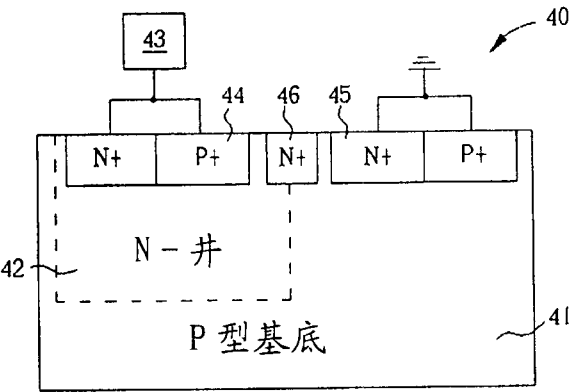


图 2c

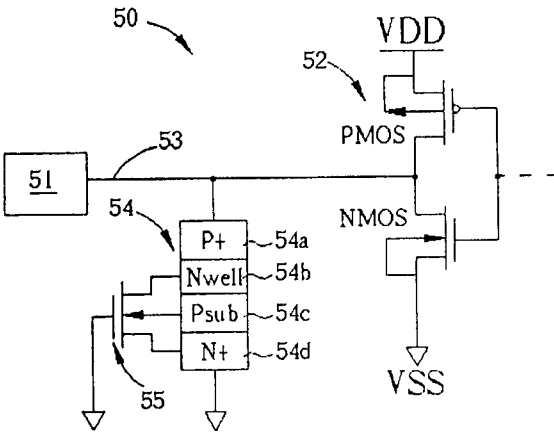


图 3a

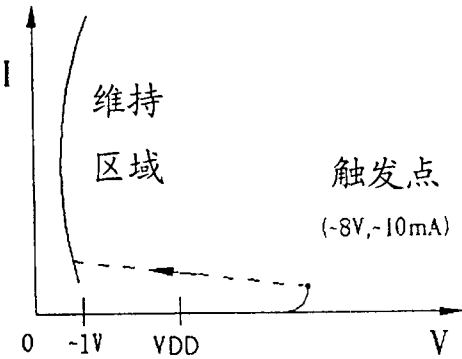


图 3b

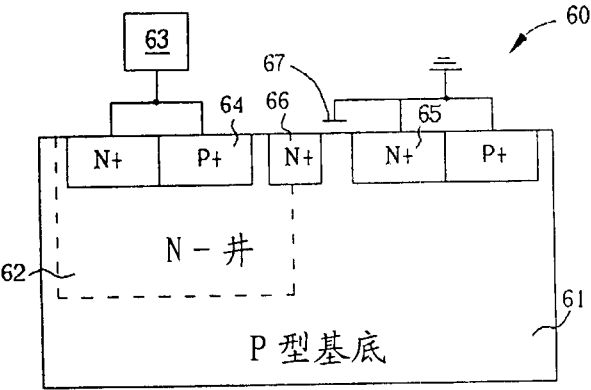


图 3c

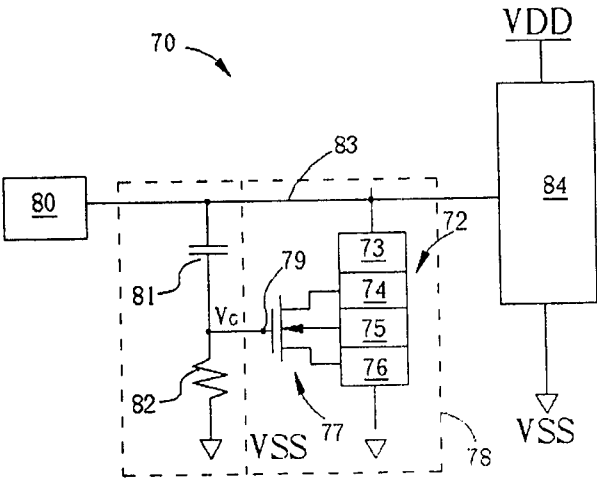


图 4

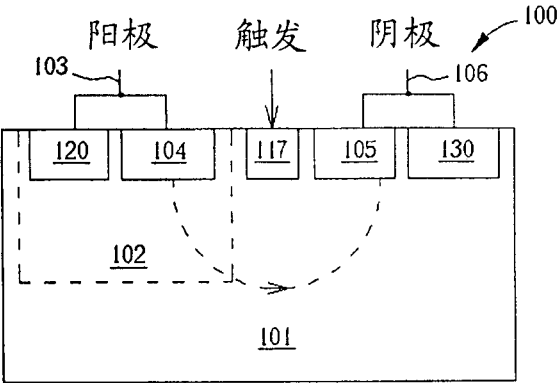


图 5a

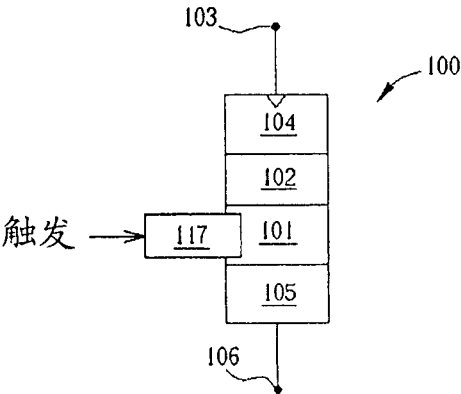


图 5b

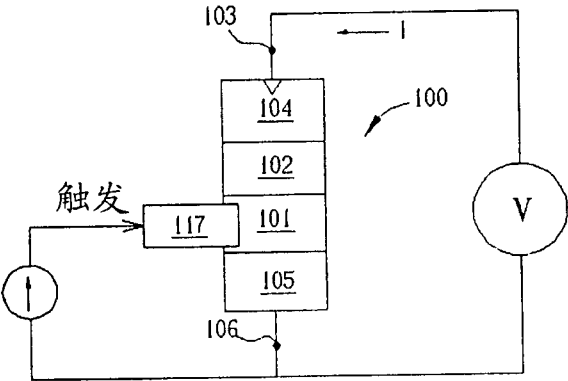


图 6a

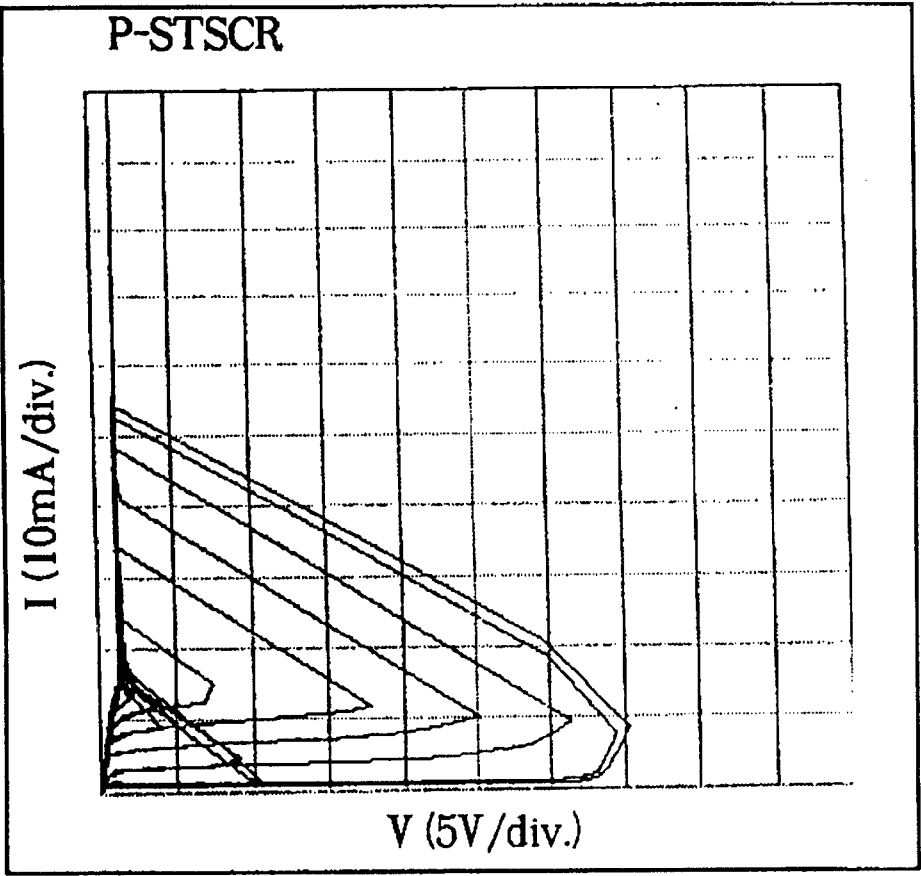


图 6b

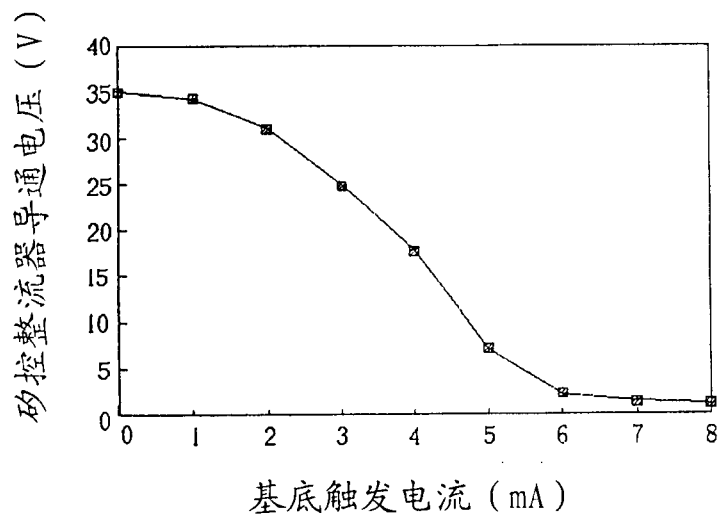


图 7

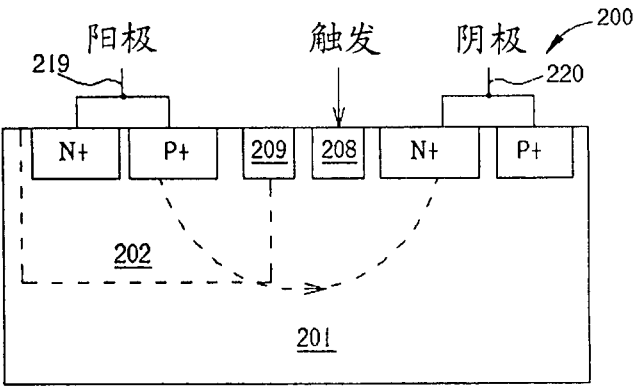


图 8a

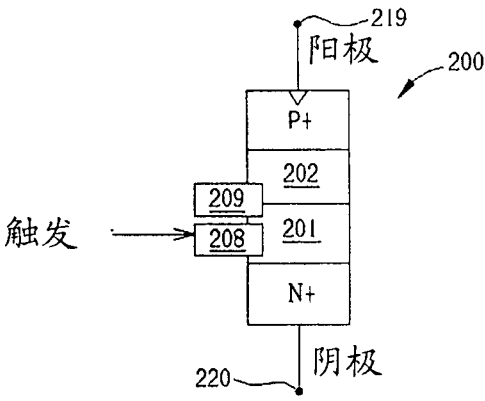


图 8b

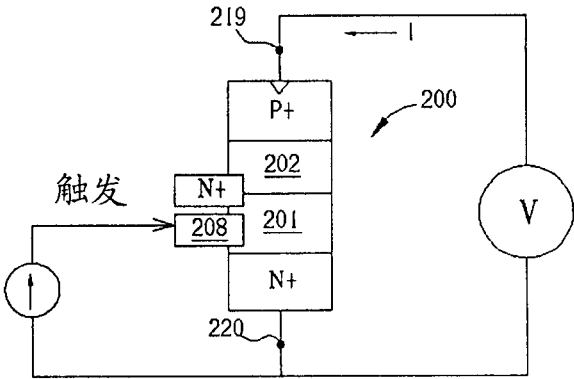


图 9a

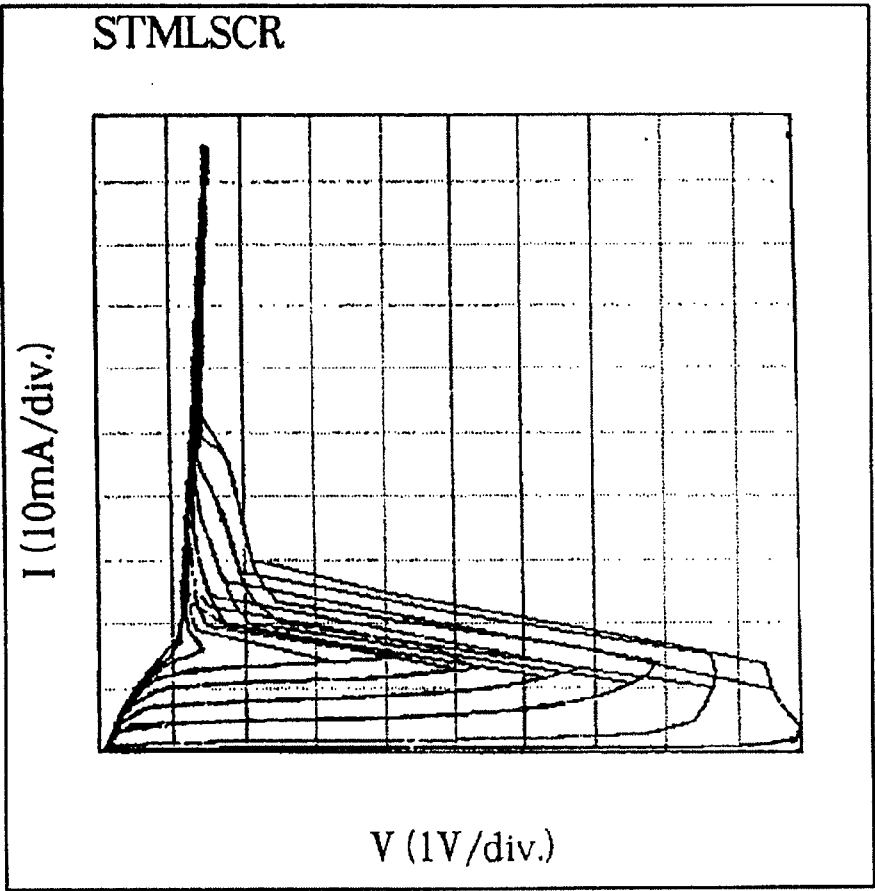


图 9b

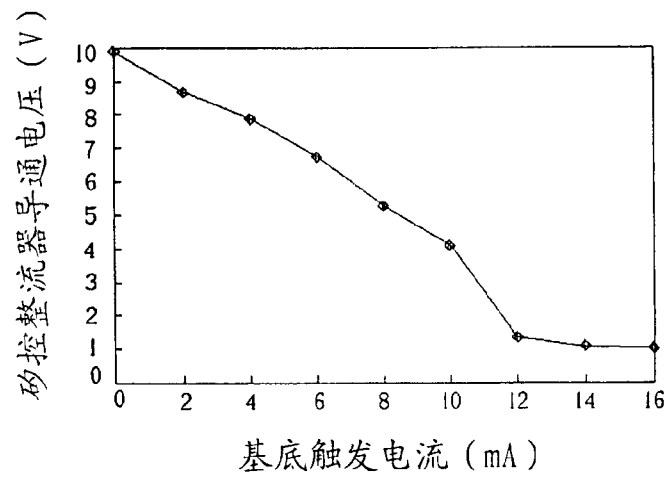


图 10

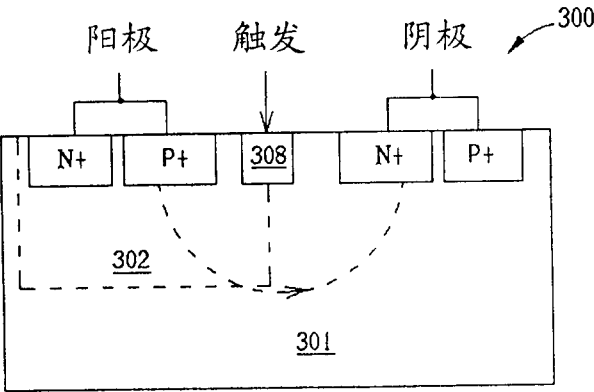


图 11a

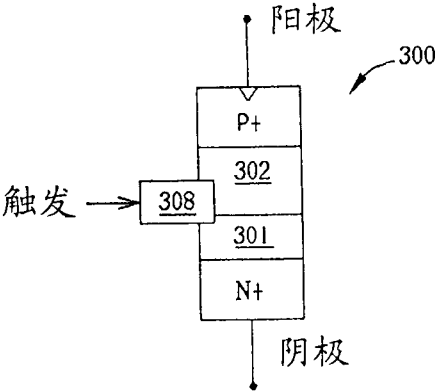


图 11b

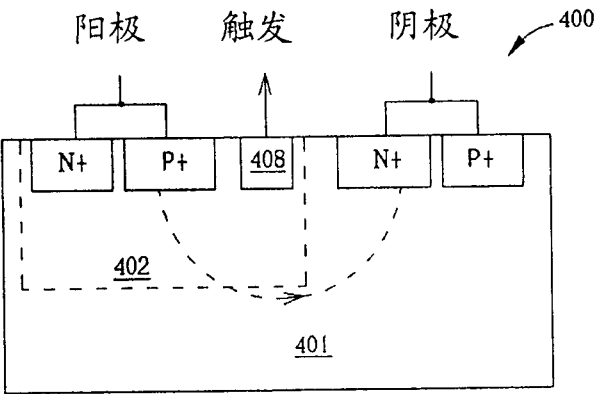


图 12a

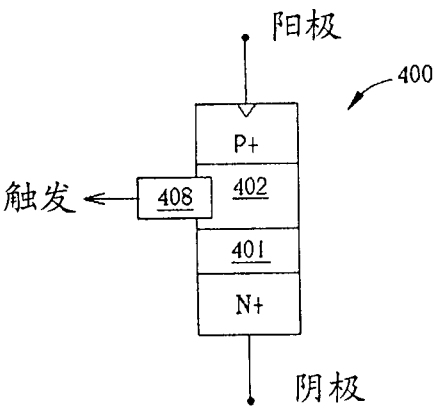


图 12b

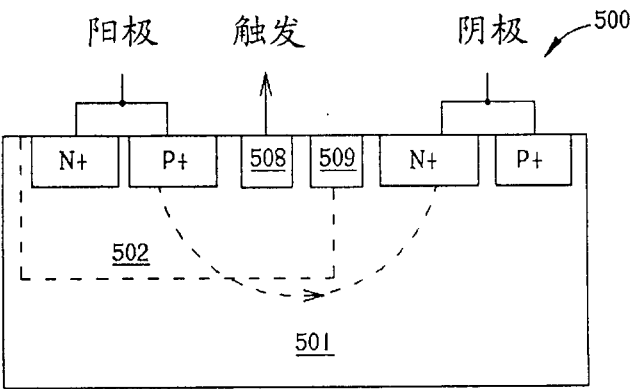


图 13a

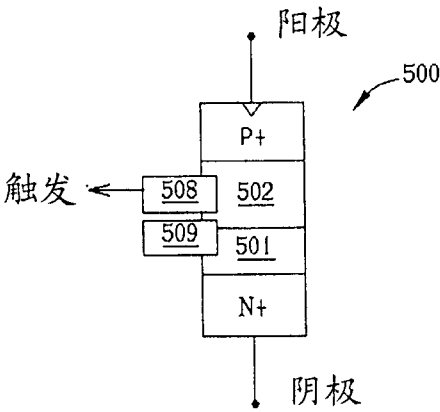


图 13b

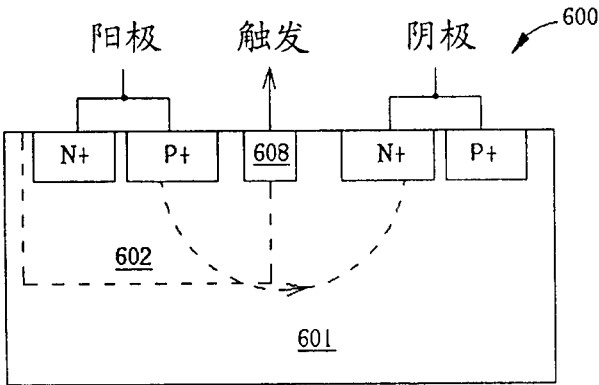


图 14a

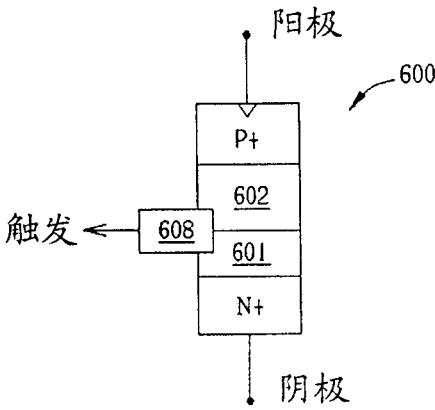


图 14b

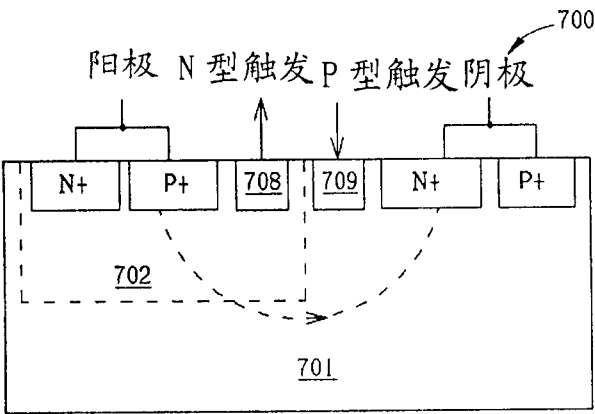


图 15a

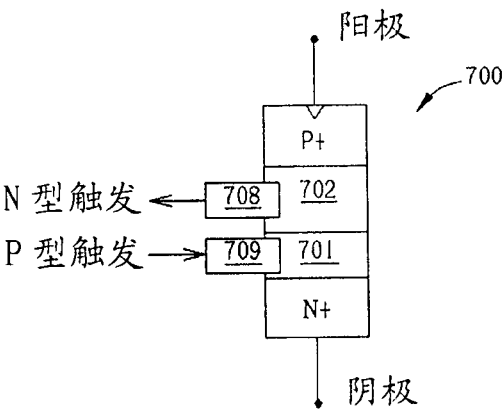


图 15b

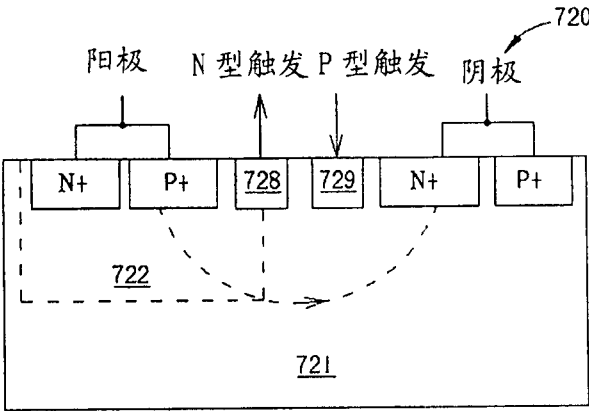


图 16a

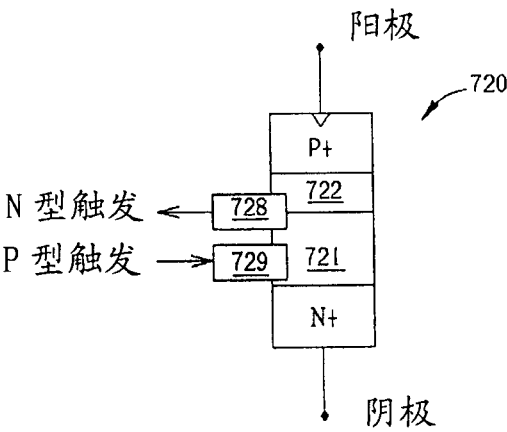


图 16b

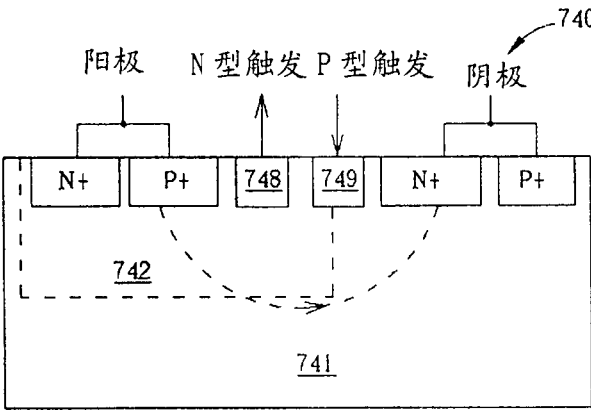


图 17a

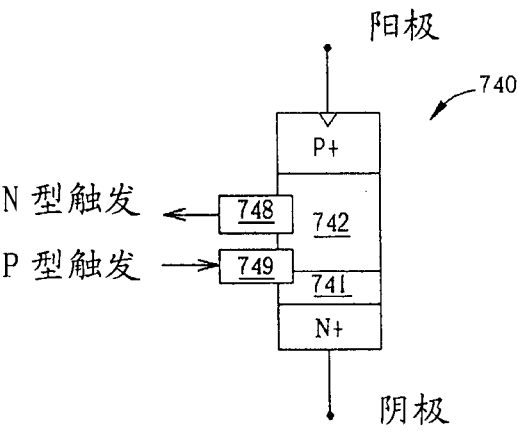


图 17b

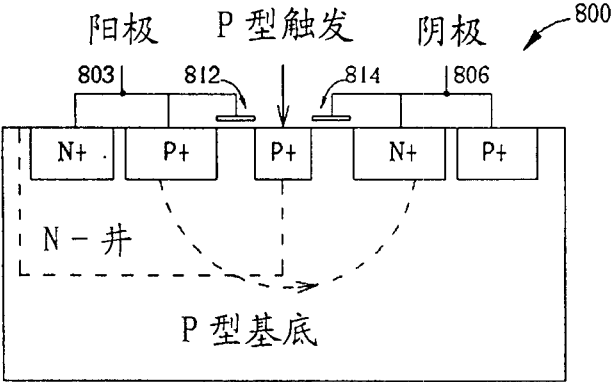


图 18

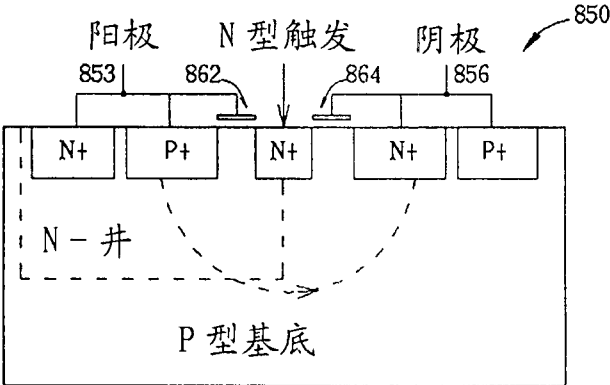


图 19

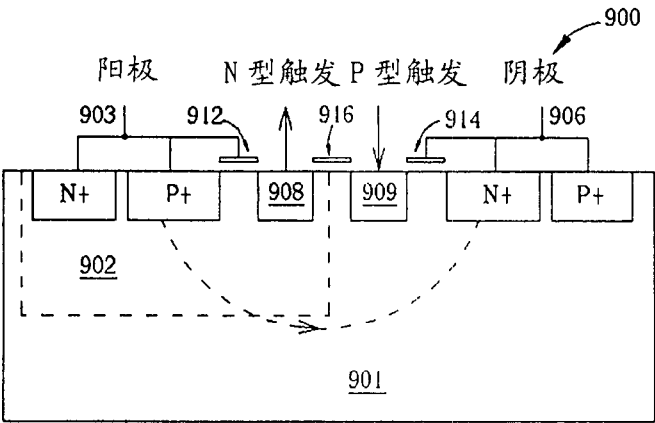


图 20

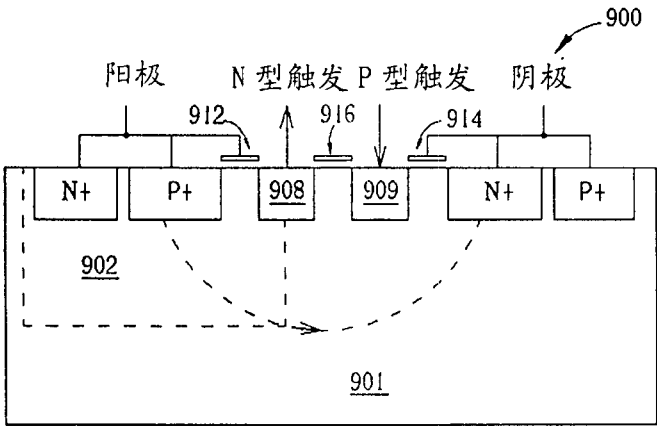


图 21

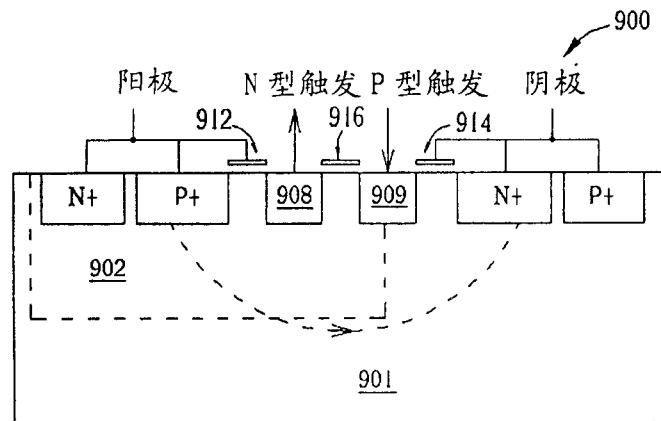


图 22

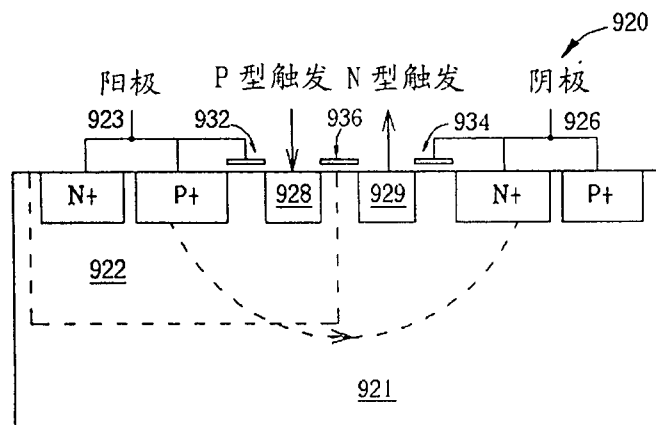


图 23

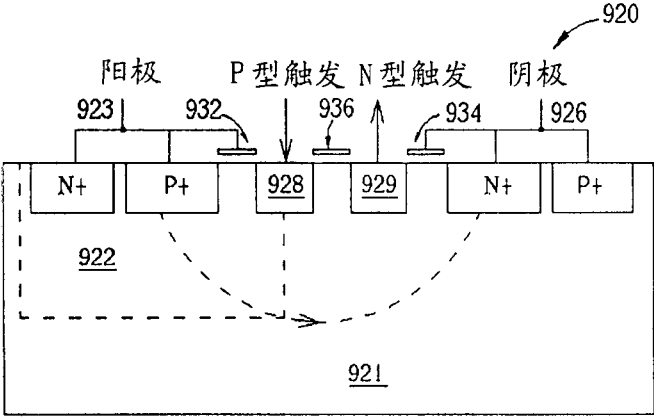


图 24

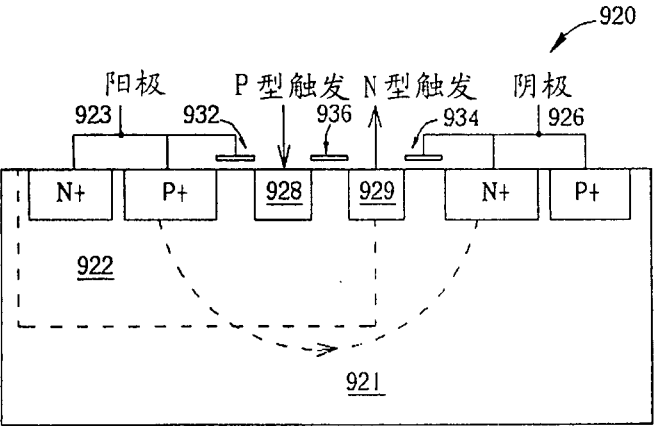


图 25

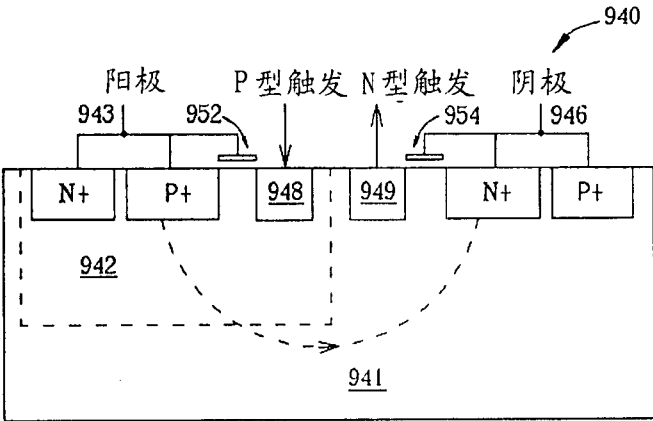


图 26

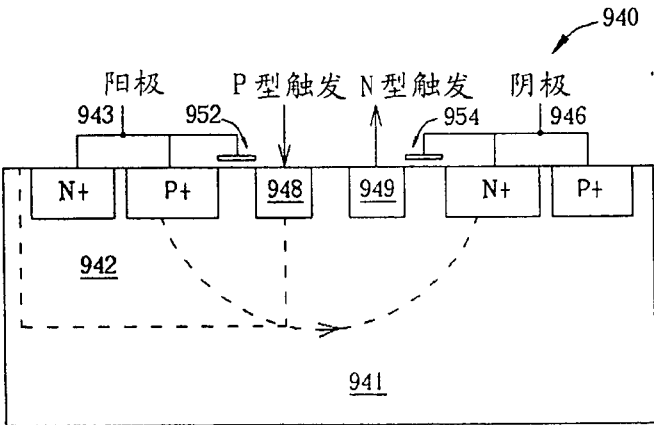


图 27

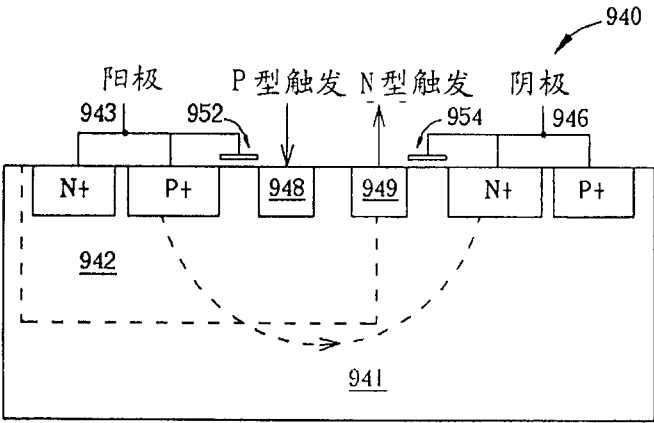


图 28